

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(43) Date of publication of application: **22.01.99**

(21) Application number: 09164809  
(22) Date of filing: 20.06.97

(71) Applicant: **SONY CORP**  
(72) Inventor: **MUTO TAKAYASU**

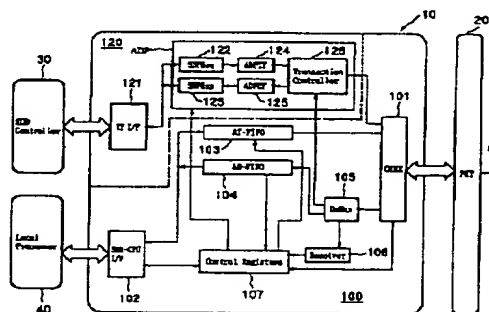
(54) SERIAL INTERFACE CIRCUIT

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a circuit for enabling smooth transmission/reception by dividing data to be transferred into data more than one, calculating the leading address of the next packet by adding a transfer data component from a leading bus address, generating the transmission packet of bus address addition at least and sending it to a serial interface when transferring the data of a present node to the other node.

**SOLUTION:** A request packet generating circuit 122 divides computer data recorded through a transport data interface circuit 121 onto a hard disk into data more than one so as to be divided into packets in the case of write when the instruction of data transfer start from a control register 107 of a link layer circuit 100, and the address of an SBP protocol is calculated based on data such as the length of data set to the control register 107, and stored in a FIFO 124 for request. In the case of reception, the address of the SBP protocol is calculated.

COPYRIGHT: (C)1999,JPO



**BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 7 7 3

(43) 公開日 平成 1 1 年 ( 1 9 9 9 ) 1 月 2 2 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H04L 29/10			H04L 13/00	309 Z
G06F 3/06	301		G06F 3/06	301 M
13/38	350		13/38	350
H04L 12/56			H04L 11/20	102 Z
			13/00	309 A

審査請求 未請求 請求項の数 1 2 O L (全 1 3 頁)

(21) 出願番号 特願平 9 - 1 6 4 8 0 9

(22) 出願日 平成 9 年 ( 1 9 9 7 ) 6 月 2 0 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 武藤 隆保

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社内

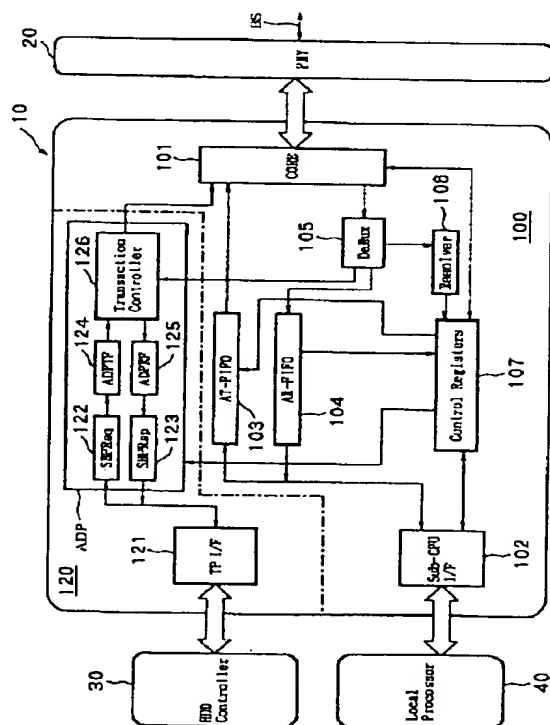
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 シリアルインタフェース回路

(57) 【要約】

【課題】 大容量のデータを所定の規格に合わせてパケットにして送受信でき、円滑な送受信処理をことのできるシリアルインタフェース回路を提供する。

【解決手段】 自ノードのデータを他ノードへ転送する場合に、転送すべきデータを 1 個以上のデータに分割し、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した送信パケットを順次に生成してシリアルインタフェースバス BS に送出し、他ノードのデータを自ノードへ転送する場合に、データを 1 個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した要求パケットを順次に生成してシリアルインタフェースバス BS に送出するデータ処理回路 ADP を設ける。



## 【特許請求の範囲】

【請求項 1】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、

自ノードのデータを他ノードへ転送する場合に、転送すべきデータを 1 個以上のデータに分割し、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した送信パケットを順次に生成して上記シリアルインタフェースバスに送出するデータ処理回路を有するシリアルインタフェース回路。

【請求項 2】 他ノードからの制御パケットを受け、当該制御パケットの内容が自ノードから他ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路を有する請求項 1 記載のシリアルインタフェース回路。

【請求項 3】 上記データ処理回路は、記憶手段を有し、生成した送信パケットを当該記憶手段に格納し、格納した送信パケットを所定のタイミングで上記シリアルインタフェースバスに送出する請求項 1 記載のシリアルインタフェース回路。

【請求項 4】 上記データ処理回路は、記憶手段を有し、生成した送信パケットを当該記憶手段に格納し、格納した送信パケットを所定のタイミングで上記シリアルインタフェースバスに送出する請求項 2 記載のシリアルインタフェース回路。

【請求項 5】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、  
他ノードのデータを自ノードへ転送する場合に、データを 1 個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した要求パケットを順次に生成して上記シリアルインタフェースバスに送出するデータ処理回路を有するシリアルインタフェース回路。

【請求項 6】 他ノードからの制御パケットを受け、当該制御パケットの内容が他ノードから自ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路を有する請求項 5 記載のシリアルインタフェース回路。

【請求項 7】 上記データ処理回路は、第 1 の記憶手段および第 2 の記憶手段を有し、生成した要求パケットを当該第 1 の記憶手段に格納し、格納した要求パケットを所定のタイミングで上記シリアルインタフェースバスに送出し、受信したデータを上記第 2 の記憶手段に

格納し、格納した受信データを所定のタイミングで転送する請求項 5 記載のシリアルインタフェース回路。

【請求項 8】 上記データ処理回路は、第 1 の記憶手段および第 2 の記憶手段を有し、生成した要求パケットを当該第 1 の記憶手段に格納し、格納した要求パケットを所定のタイミングで上記シリアルインタフェースバスに送出し、受信したデータを上記第 2 の記憶手段に格納し、格納した受信データを所定のタイミングで転送する請求項 6 記載のシリアルインタフェース回路。

10 【請求項 9】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、

自ノードのデータを他ノードへ転送する場合に、転送すべきデータを 1 個以上のデータに分割し、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した送信パケットを順次に生成して上記シリアルインタフェースバスに送出し、他ノードのデータを自ノードへ転送する場合に、データを 1 個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した要求パケットを順次に生成して上記シリアルインタフェースバスに送出するデータ処理回路を有するシリアルインタフェース回路。

20 【請求項 10】 他ノードからの制御パケットを受け、当該制御パケットの内容が自ノードから他ノードへのデータ転送要求を示すときに、および他ノードから自ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路を有する請求項 9 記載のシリアルインタフェース回路。

【請求項 11】 上記データ処理回路は、第 1 の記憶手段および第 2 の記憶手段を有し、生成した送信パケットを当該第 1 の記憶手段に格納し、格納した要求パケットを所定のタイミングで上記シリアルインタフェースバスに送出し、受信したデータを上記第 2 の記憶手段に格納し、格納した受信データを所定のタイミングで転送する請求項 9 記載のシリアルインタフェース回路。

40 【請求項 12】 上記データ処理回路は、第 1 の記憶手段および第 2 の記憶手段を有し、生成した送信パケットを当該第 1 の記憶手段に格納し、格納した要求パケットを所定のタイミングで上記シリアルインタフェースバスに送出し、受信したデータを上記第 2 の記憶手段に格納し、格納した受信データを所定のタイミングで転送する請求項 10 記載のシリアルインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルシリアルインタフェース回路に係り、特に HDD (Hard Disk

Drive)、DVD(Digital Video Disk)-ROM、CD(Compact Disk)-ROM、テープストリーマ(Tape Streamer)等のストレージ装置に接続するシリアルインタフェース回路およびその信号処理方法に関するものである。

【0002】

【従来の技術】近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現するIEEE(The Institute of Electrical and Electronic Engineers)1394、High

Performance Serial Busが規格化された。

【0003】このIEEE1394シリアルインタフェースのデータ転送においては、ネットワーク内で行われる転送動作をサブアクションと呼び、2つのサブアクションが規定されている。一つは、従来のRequest、Acknowledgeの要求、受信確認を行うアシンクロナス(Asynchronous)転送であり、他の一つはあるノードから125μsに1回必ずデータが送られるアイソクロナス(Isochronous)転送である。

【0004】このように、2つの転送モードを有するIEEE1394シリアルインタフェースでのデータは、パケット単位で転送が行われるが、IEEE1394規格では、取り扱う最小データの単位は1クワドレット(quadlet)(=4バイト=32ビット)である。

【0005】IEEE1394規格では、通常、コンピュータデータは、図5に示すように、アシンクロナス転送を用いて行われる。アシンクロナス転送は、図5

(a)に示すように、バスを獲得するためのアービトリション(arb)、データを転送するパケットトランスミッション、およびアクノリッジメント(ack)の3つの遷移状態をとる。

【0006】そして、パケットトランスミッションの実行は、図5(b)に示すようなフォーマットで行われる。転送パケットの第1クワドレットは、16ビットのデスティネーションID(destination ID)領域、6ビットのトランザクション・ラベルtl(transaction label)領域、2ビットのリトライ・コードrt(retry code)領域、4ビットのトランザクション・コードtcod(transaction code)領域、および4ビットのプライオリティpri(priority)領域から構成されている。デスティネーションID領域はこのノードのバスナンバーとノードナンバー、プライオリティ領域は優先レベルを示す。

【0007】第2クワドレットおよび第3クワドレットは、16ビットのソースID(source ID)領域、および48ビットのデスティネーション・オフセット(destination offset)領域により構成されている。ソースID領域はこのパケットを送ったノードIDを示し、デスティネーション・オフセット領域はハイ(High)およびロー(L

ow)の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【0008】第4クワドレットは、16ビットのデータ長(data length)領域、および16ビットのイクステンディッド・トランザクション・コード(extended tcode)領域に構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド tcode領域はtcodeがロック・トランザクション(Lock transaction)の場合、このパケットのデータが行う実際のロック動作(Lock Action)を示す領域である。

【0009】データフィールド領域(data field)の前のクワドレットに付加されたヘッダCRC(header CRC)領域は、パケットヘッダの誤り検出符号である。また、データ領域(data field)の後のクワドレットに付加されたデータCRC(data CRC)領域は、データフィールドの誤り検出符号である。

【0010】

【発明が解決しようとする課題】ところで、上述したように、アシンクロナス転送で行われる通常のコンピュータデータの転送では、そのプロトコルとして、SBP-2(Serial Bus Protocol-2)が用いられる。このプロトコルによると、ストレージデバイス(Storage Device)であるターゲット(Target)からホストコンピュータ(Host Computer)であるイニシエータ(Initiator)にデータを転送するときは、ストレージデバイスからホストコンピュータのメモリへデータを書き込む形で、またホストコンピュータからターゲットにデータを転送するときは、ストレージデバイスがホストコンピュータのメモリのデータを読み出す形で転送が行われる。

【0011】しかしながら、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータをIEEE1394規格のパケットにして、送受信するための、いわゆるトランザクション・レイヤ(Transaction Layer)をコントロールする処理系回路システムが未だ確立されていない。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理をことができるシリアルインタフェース回路を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、自ノードのデータを他ノードへ転送する場合に、転送すべきデータを1個以上のデータに分割し、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した送信パケットを順次に生成して上記シリアルイ

インタフェースバスに送出するデータ処理回路を有する。

【0014】また、本発明では、他ノードからの制御パケットを受け、当該制御パケットの内容が自ノードから他ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路を有する。

【0015】また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、他ノードのデータを自ノードへ転送する場合に、データを1個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した要求パケットを順次に生成して上記シリアルインタフェースバスに送出するデータ処理回路を有する。

【0016】また、本発明では、他ノードからの制御パケットを受け、当該制御パケットの内容が他ノードから自ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路を有する。

【0017】また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、自ノードのデータを他ノードへ転送する場合に、転送すべきデータを1個以上のデータに分割し、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した送信パケットを順次に生成して上記シリアルインタフェースバスに送出し、他ノードのデータを自ノードへ転送する場合に、データを1個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分を加えて次のパケットの先頭アドレスを算出し、少なくとも算出したバスアドレスを付加した要求パケットを順次に生成して上記シリアルインタフェースバスに送出するデータ処理回路を有する。

【0018】また、本発明では、他ノードからの制御パケットを受け、当該制御パケットの内容が自ノードから他ノードへのデータ転送要求を示すときに、上記データ処理回路を起動させ、少なくとも上記先頭アドレスデータおよび転送すべきデータ長のデータを上記データ処理回路に供給する制御回路をする。

【0019】本発明の回路によれば、自ノードから他ノードへデータを転送する場合に、データ処理回路において、転送すべきデータが1個以上のデータに分割され、先頭バスアドレスから転送データ分が加えられて次のパケットの先頭アドレスが算出される。そして、少なくとも算出したバスアドレスを付加した送信パケットが

順次に生成されてシリアルインタフェースバスに送出される。

【0020】また、本発明では、制御回路が、当該制御パケットの内容が自ノードから他ノードへのデータ転送要求を示す制御パケットを受けたときに、データ処理回路が起動され、また、データ処理回路に少なくとも先頭アドレスデータおよび転送すべきデータ長のデータが供給される。

【0021】また、本発明の回路によれば、他ノードから自ノードへデータを転送する場合に、データ処理回路において、データを1個以上のパケットにして転送できるように、先頭バスアドレスから転送データ分が加えられて次のパケットの先頭アドレスが算出される。そして、少なくとも算出したバスアドレスを付加した送信パケットが順次に生成されてシリアルインタフェースバスに送出される。

【0022】また、本発明では、制御回路が、当該制御パケットの内容が他ノードから自ノードへのデータ転送要求を示す制御パケットを受けたときに、データ処理回路が起動され、また、データ処理回路に少なくとも先頭アドレスデータおよび転送すべきデータ長のデータが供給される。

【0023】

【発明の実施の形態】図1は、本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。なお、このシリアルインタフェース回路は、アシンクロナス通信で扱われるコンピュータデータの転送を行うことを目的として構成されている。このため、図1においては、アイソクロナス通信系回路の具体的な構成は図示していない。

【0024】このシリアルインタフェース回路は、リンクノトランザクション・レイヤ集積回路10、フィジカル・レイヤ回路20、ストレージデバイスとしての図示しないハードディスクドライバ(HDD)のコントローラ30、ホストコンピュータとしてのローカルプロセッサ40により構成されている。

【0025】リンクノトランザクション・レイヤ集積回路10は、リンク・レイヤ回路100およびトランザクション・レイヤ回路120が集積化されて構成され、ローカルプロセッサ40の制御の下、アシンクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。

【0026】リンク・レイヤ回路100は、図1に示すように、リンクコア(Link Core)101、CPUインタフェース回路(Sub-CPU I/F)102、アシンクロナス通信で用いられる送信用FIFO(AT-FIFO:First-In First-Out)103、受信用FIFO(AR-FIFO)104、受信パケットを判別する分別回路(DeMux)105、セルフID用リゾルバ(Resolver)106、およびコントロールレジスタ(Control Registers、以下CRという)1

07により構成されている。

【0027】リンクコア101は、コマンドやコンピュータデータが転送されるアシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路20とのインタフェース回路、125 $\mu$ s毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。また、図示しないハードディスクから読み出され、トランザクション・レイヤ回路120で所定の送信パケットとして生成されたコンピュータデータの送信処理等を行う。たとえば、後述するトランザクション・レイヤ回路120のトランザクションコントローラ126から送るべきデータがある旨の知らせを受けるとフィジカル・レイヤ回路20を経由して1394シリアルバスのアービトレーションを行いバスを確保する。なお、図1では、上述したように、アイソクロナス通信系のFIFO等は省略している。

【0028】CPUインタフェース回路102は、ローカルプロセッサ40と送信用FIFO103、受信用FIFO104とのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、ローカルプロセッサ40とCR107との各種データの送受信の調停を行う。たとえば、イニシエータとしてのホストコンピュータからIEEE1394インタフェースバスBSを送信され、受信用FIFOに格納されたストレージデバイスとしてのハードディスクのコントロール用コマンドをローカルプロセッサ40に伝送する。

【0029】ローカルプロセッサ40からは、コンピュータデータを送受信するためにトランザクション・レイヤ回路120を起動させるためのデータがCPUインタフェース102を通してCR107にセット(ADPst=1)される。さらに、ローカルプロセッサ40からは、以下のデータがセットされる。後述するようにトランザクション・レイヤ回路120における他ノードから自ノードヘデータを転送する読み出し(受信)動作時に、応答パケットの最大データ長を計算するための最大データ長を指定するための4ビットの最大長データ(max-payload)、プライオリティpri、トランザクションラベルtl、1394シリアルバスの転送レートspd(0:s100, 1:s200)、デスティネーションID(des ID)、転送データ長xfer length、デスティネーションオフセットdes offset[47:0]、さらにはディレクションビット(direction bit、以下dビットという)がCPUインタフェース102を通してCR107にセットされる。なお、dビットは、自ノードから他ノードヘデータを転送する書き込み(送信)動作のときは「1」にセットされ、他ノードから自ノードヘデータを転送する読み出し(受信)動作のときは「0」にセットされる。これらのCR107にセットされたデータは、

トランザクション・レイヤ回路120の後述する要求パケット生成回路122に供給される。

【0030】送信用FIFO103には、IEEE1394シリアルバスBSに伝送させるアシンクロナス通信用パケットが格納され、格納データはリンクコア101に与えられる。

【0031】また、受信用FIFO104は、IEEE1394シリアルバスBSを伝送されてきたアシンクロナス通信用パケット、たとえばストレージデバイスとしてのハードディスクのコントロール用コマンド等が、分別回路105により格納される。

【0032】分別回路105は、リンクコア101を介したアシンクロナス通信用パケットの第1クワドレットにあるトランザクションコードtcode(Transaction code)およびトランザクションラベルtl(Transaction label)をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路120に入力させ、その他のパケットを受信用FIFO104に格納する。

【0033】なお、分別のチェックに用いられるトランザクションラベルtlは共通に「a」にセットされ、tcode(Transaction code)は、書き込み(Write)の要求(request)および応答(Response)、読み出し(Read)の要求(Read request)および応答(Read Response)で異なるデータがセットされる。具体的には、tcodeは、書き込み要求(Write request)でクワドレット書き込み(Quadlet Write)の場合には「0」、ブロック書き込み(Block Write)の場合には「1」にセットされる。また、書き込み応答(Write Response)の場合には「2」にセットされる。読み出し要求(Read request)でクワドレット読み出し(Quadlet Read)の場合には「4」、ブロック読み出し(Block Read)の場合には「5」にセットされる。また、読み出し応答(Read Response)の場合には「6/7」にセットされる。

【0034】リゾルバ106は、IEEE1394シリアルインタフェースバスBSを伝送されてきたセルフIDパケットを解析し、CR107に格納する。また、エラーチェック、ノード数のカウント等の機能も有する。

【0035】トランザクション・レイヤ回路120は、コンピュータ周辺機器(本実施形態ではハードディスク)のデータをSBP-2(Serial Bus Protocol-2)規格に基づいて、アシンクロナスパケットとして自動的に送信、受信をする機能を備えている。また、トランザクション・レイヤ回路120は、リトライ(Retry)機能並びにスプリットタイムアウト(Split Timeout)検出機能を備えている。リトライ機能は、要求パケットを送信した後、ack busy'のAckコードが返ってきた場合、該

当する要求パケットを再送信する機能である。パケットを再送信する場合、送信パケットの第1クワドレットにある2ビットのrt領域を「00」から「01」にセットしてから送信する。スプリットタイムアウト(Split Timeout)検出機能は、応答パケットが返ってくるまでのタイムアウトを検出する機能である。

【0036】このトランザクション・レイヤ回路120は、トランスポートデータインタフェース回路121、要求パケット生成回路(SBPreq)122、応答パケットデコード回路(SBPRes)123、要求用FIFO(Request FIFO:ADPTF)124、応答用FIFO(Response FIFO:ADPRF)125、およびトランザクションコントローラ126により構成されている。そして、要求パケット生成回路122、応答パケットデコード回路123、要求用FIFO124、応答用FIFO125、およびトランザクションコントローラ126によりデータ処理回路ADPが構成される。

【0037】トランスポートデータインタフェース回路121は、HDDコントローラ30と要求パケット生成回路122、応答パケットデコード回路123とのデータの送受信の調停を行う。

【0038】要求パケット生成回路122は、リンク・レイヤ回路100のCR107からデータ転送起動の指示を受けると、送信(書き込み)の場合、SBP-2規格に従ってトランスポートデータインタフェース回路121を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように1個以上のデータに分け、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスを算出し、パケット毎に増加する1394バスアドレスとトランザクションラベルtl(=a)やトランザクションコードtcode(たとえば1または5)等を設定した4クワドレットからなる1394ヘッダを付加して要求用FIFO124に格納する。また、受信(読み出し)の場合には、SBP-2規格に従って、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスを算出し、パケット毎に増加する1394バスアドレスとトランザクションラベルtl(=a)やトランザクションコードtcode(たとえば1または5)等を設定し、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド(Block read Request Command)を1個以上のパケットにして要求用FIFO124に格納する。

【0039】なお、要求パケット生成回路122は、送信および受信時には、CR107にて指定される最大データmax-payloadを受けて送信する要求パケットに対する応答パケットの最大データ長を計算する。この最大データ長(バイト)maxplは次式に基づいて求められる。

【0040】

$$\text{【数1】 } \max pl = 2^{(\dots\dots\dots\dots\dots\dots)} \dots (1)$$

【0041】図2は、要求パケット生成回路122の構成例を示すブロック図である。図2に示すように、要求パケット生成回路122は、最大データ長算出回路1221、トランザクションコード(tcode)生成回路1222、比較回路1223、1224、転送データ長(dlength)生成回路1225、加算器1226、減算器1227、データ長レジスタ(sbpdl)1228、アドレスレジスタ(sbpadd)1229、1394ヘッダの第1クワドレット用レジスタ1230、1394ヘッダの第2クワドレット用レジスタ1231、1394ヘッダの第3クワドレット用レジスタ1232、1394ヘッダの第4クワドレット用レジスタ1233、およびコントローラ1234により構成されている。

【0042】最大データ長算出回路1221は、CR107にて指定される最大データmax-payloadを受けて上記(1)式に基づいて最大データ長を計算し、その値maxplを信号S1221として比較回路1223に出力する。

【0043】tcode生成回路1222は、CR107にて指定されるdビットデータを受けて、d=1(送信)の場合には「1」、d=0(受信)の場合には「5」のtcodeを生成し、1394ヘッダの第1クワドレット用レジスタ1230の所定ビットに設定する。なお、第1クワドレット用レジスタ1230にはCR107に指定されるID転送レートspd、トランザクションラベルtlがセットされる。

【0044】比較回路1223は、データ長レジスタ1228に設定される転送データ長sbpdlと最大データ長算出回路1221による最大データ長maxplとを比較し、その結果を転送データ長生成回路1225に出力する。

【0045】比較回路1224は、減算器1227で得られるデータ長が0以下になった場合に、一連のパケット転送の終了であると判断してエンド信号S1224をコントローラ1234に出力する。

【0046】転送データ長生成回路1225は、比較回路1223の比較結果を受けて転送データ長dlengthを生成し、信号S1225として加算器1226に出力する。具体的には、比較結果がsbpdl $\geq$ maxplの場合にはdlength=maxplに設定し、sbpdl<maxplの場合にはdlength=sbpdlに設定して出力する。

【0047】加算器1226は、アドレスレジスタ1229の先頭パケットアドレスsbpaddに、転送データ長生成回路1225により供給された転送データ長dlengthを加えた新パケットアドレスsbpaddを生成してアドレスレジスタ1229に出力する。

【0048】減算器1227は、データ長レジスタ1228にセットされた残りデータ長sbpdlから転送データ長生成回路1225により供給された転送データ長dlength



ountを減じた残りデータ長sbpdlを生成してデータ長レジスタ1228に出力する。

【0049】データ長レジスタ1228は、コントローラ1234から供給されるロード信号LDを受けて、CR107の転送データ長(xfer length)または減算器1227から出力された残りデータ長sbpdlをセットする。起動時にはCR107の転送データ長(xfer length)をセットし、その後はパケットの要求用FIFO124に格納毎に更新(減少)する減算器1227から出力された残りデータ長sbpdlをセットする。

【0050】アドレスレジスタ1229は、コントローラ1234から供給されるロード信号LDを受けて、CR107のデスティネーションオフセット(des offset)または加算器1226から出力された新パケットアドレスsbpaddをセットする。起動時にはCR107のデスティネーションオフセット(des offset)をセットし、その後はパケットの要求用FIFO124に格納毎に更新(増加)する加算器1226から出力された新パケットアドレスsbpaddをセットする。

【0051】第2クワドレット用レジスタ1231には、16ビットのデスティネーションID(desID)、およびアドレスレジスタ1229にセットされる48ビットのパケットアドレスsbpaddのうち32ビット～47ビットの16ビットがセットされる。

【0052】第3クワドレット用レジスタ1231には、アドレスレジスタ1229にセットされる48ビットのパケットアドレスsbpaddのうち0ビット～31ビットの32ビットがセットされる。

【0053】第4クワドレット用レジスタ1231には、転送データ長生成回路1225で生成された転送データ長dlcountがセットされる。

【0054】コントローラ1234は、第1～第4クワドレット用レジスタ1230～1234にセットされたデータに基づいて1394ヘッダを生成し、送信時には、HDDコントローラ30から読み出したストレージデバイスであるハードディスクのデータを付加して書き込み要求パケットを生成し、また受信時には、読み出し要求パケットを生成し、要求用FIFO124に格納する。また、ロード信号LDをデータ長レジスタ1228およびアドレスレジスタ1229に出力し、比較回路1224によるエンド信号S1224を受けて一連のパケット生成を終了する。

【0055】この要求パケット生成回路122では、起動されると、CR107にセットされた最大長データmax-payloadが最大データ長算出回路1221に入力されて最大データ長maxplが算出され、信号S1221として比較回路1223に出力される。また、tcode生成回路1222では、CR107にて指定されるdビットデータが入力され、d=1(送信)の場合には「1」、d=0(受信)の場合には「5」のtcode

が生成されて、1394ヘッダの第1クワドレット用レジスタ1230の所定ビットに設定される。

【0056】また、起動時には、データ長レジスタ1228に、コントローラ1234から供給されるロード信号LDを受けてCR107の転送データ長(xfer length)がセットされる。データ長レジスタ1228のセットデータは比較回路1223および減算器1227に供給される。同様に、アドレスレジスタ1229に、ロード信号LDを受けて、CR107のデスティネーションオフセット(des offset)がセットされる。アドレスレジスタ1229のセットデータはレジスタ1231、1232および加算器1226に供給される。

【0057】比較回路1223では、データ長レジスタ1228に設定される転送データ長sbpdlと最大データ長算出回路1221による最大データ長maxplとが比較されその結果が転送データ長生成回路1225に出力される。転送データ長生成回路1225では、比較回路1223の比較結果を受けて、比較結果がsbpdl $\geq$ maxplの場合には転送データ長dlcountがmaxplに設定され、sbpdl<maxplの場合には転送データ長dlcountがレジスタ1228のセット値に設定されてレジスタ1233、加算器1226および減算器1227に出力される。

【0058】加算器1226では、アドレスレジスタ1229の先頭パケットアドレスsbpaddに、転送データ長生成回路1225により供給された転送データ長dlcountが加算され、これによって得られた新パケットアドレスsbpaddがアドレスレジスタ1229に出力される。また、減算器1227では、データ長レジスタ1228にセットされた残りデータ長sbpdlから転送データ長生成回路1225により供給された転送データ長dlcountが減じられ、これによって得られた残りデータ長sbpdlがデータ長レジスタ1228に出力される。

【0059】ここでdビットが「1」で書き込み(送信)の場合には、コントローラ1234により第1～第4クワドレット用レジスタ1230～1234にセットされたデータに基づいて1394ヘッダが生成され、HDDコントローラ30から読み出したストレージデバイスであるハードディスクのデータが付加されて書き込み要求パケットが生成され、要求用FIFO124に格納される。そして、コントローラ1234からロード信号LDがデータ長レジスタ1228およびアドレスレジスタ1229に出力される。

【0060】データ長レジスタ1228では、コントローラ1234から供給されるロード信号LDを受けて、減算器1227から出力された残りデータ長sbpdlがセットされ、アドレスレジスタ1229は、コントローラ1234から供給されるロード信号LDを受けて、加算器1226から出力された新パケットアドレスsbpaddがセットされる。そして、上述したと同様のパケット生

成、格納動作が、比較回路 1224 によるエンド信号 S1224 が入力されるまで繰り返し行われる。

【0061】また、d ビットが「0」で読み出し（受信）の場合の動作は、ハードディスクからのデータの読み出し動作を除いて書き込み時と同様に行われる。

【0062】応答パケットデコード回路 123 は、受信時に第 1 F I F O 124 に格納されたデータを読み出し、1394 ヘッダを取り除いて、データを所定のタイミングでトランスポートデータインタフェース回路 121 を介して HDD コントローラ 30 に出力する。

【0063】要求用 F I F O 124 は、送信（書き込み）時にはパケット化された送信データが格納され、受信（読み出し）の場合には、1394 ブロック読み出し要求コマンドが格納される。なお、要求用 F I F O 124 は、送るべきデータを記憶しているときは、その旨を示すたとえばローレベル（「0」）でアクティブの信号 EMT をトランザクションコントローラ 126 に出力する。

【0064】応答用 F I F O 125 は、受信（読み出し）の場合には、ホストコンピュータ側から 1394 シリアルバス BS を伝送されてきた受信データが格納される。なお、応答用 F I F O 125 は、残りの記憶容量を示す信号 S125 をトランザクションコントローラ 126 に出力する。

【0065】トランザクションコントローラ 126 は、送信時に要求用 F I F O 124 に格納されたパケット化された送信データ、および受信時に要求用 F I F O 124 に格納された 1394 ブロック読み出し要求コマンド（要求パケット）のリンク・レイヤコア回路 100 のリンクコア 101 への出力制御を行う。また、送信時に、30 リンク・レイヤ回路 100 の分別回路 105 からの応答パケットを受けて、そのリトライコード r c o d e を C R 107 に書き込み、受信時には分別回路 105 からの応答パケットを応答用 F I F O 125 に格納する。

【0066】次に、上記構成において、SBP-2 規格で決められたパケットを転送する場合のコンピュータデータの送信および受信動作を説明する。

【0067】まず、送信動作、すなわち、ターゲットであるハードディスクからイニシエータであるホストコンピュータにデータを転送するときであって、ストレージ 40 デバイス（ハードディスク）からホストコンピュータのメモリヘデータを書き込む動作を行う場合について説明する。

【0068】ホストコンピュータから 1394 シリアルバス BS を伝送されてきた SBP-2 規格に基づいた O R B (Operation Request Block) 等のパケットデータがフィジカル・レイヤ回路 20、リンク・レイヤ回路 100 のリンクコア 101 を介して分別回路 105 に入力される。

【0069】分別回路 105 では、受信パケットを受け 50

てホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用 F I F O 104 に格納される。

受信用 F I F O 104 に格納された O R B 等の受信データは、C P U インタフェース回路 102 を介してローカルプロセッサ 40 に入力される。ローカルプロセッサ 40 では、C P U インタフェース回路 102 を介して O R B の内容に従って C R 107 のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路 120 が起動される。また、ローカルプロセッサ 40 からは、C P U インタフェース 102 を通して C R 107 に対して、応答パケットの最大データ長を計算するための最大データ長を指定するための 4 ビットの最大長データ (max-payload)、プライオリティ p r i、トランザクションラベル t l、1394 シリアルバスの転送レート s p d (0 : s 100、1 : s 200)、デスティネーション ID (des ID)、

20 転送データ長 x f e r l e n g t h、デスティネーションオフセット des o f f s e t [47:0]、さらには d ビットがセットされる。これらのデータは、要求パケット生成回路 122 に供給される。

【0070】起動されたトランザクション・レイヤ回路 120 では、要求パケット生成回路 122 において、トランスポートインタフェース 121 を介して HDD コントローラ 30 に対してのデータの要求が始められる。要求に応じ、トランスポートインタフェース 121 を介して送られたきた送信データは、要求パケット生成回路 122 において SBP-2 規格に従ってトランスポートデータインタフェース回路 121 を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように 1 個以上のデータに分けられ、C R 107 にセットされた転送データ長等のデータに基づいて SBP プロトコルのアドレスが算出され、パケット毎に増加する 1394 バスアドレスとトランザクションラベル t l (= a) やトランザクションコード t c o d e (たとえば 1 または 5) 等が設定された 4 クラドレットからなる 1394 ヘッダが付加されて要求用 F I F O 124 に格納される。

【0071】要求用 F I F O 124 に 1 つの 1394 パケットサイズ以上のデータが格納されると、そのデータはトランザクションコントローラ 126 によりリンク・レイヤ回路 100 のリンクコア 101 に送られる。そして、リンクコア 101 によって、フィジカル・レイヤ回路 20 を介して 1394 シリアルバス BS に対しアービトラレーションが掛けられる。これにより、バスの獲得ができたならば、転送データを含む書き込み要求パケット (Write Request Packet) がフィジカル・レイヤ回路 20、1394 シリアルバス BS を介してホストコンピュ

ータに送信される。

【0072】送信後、ホストコンピュータから書き込み要求パケットに対するAckコードと、場合によっては書き込み応答パケット(Write Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0073】分別回路105では、受信パケットのトランザクションコードtcodeおよびトランザクションラベルtlのチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0074】トランザクションコントローラ126では、入力された応答パケットのAckコードと応答コード(Response code)が正常ならば次のデータのリンクコア101への送出行われる。以上の動作が繰り返されて、コンピュータデータのホストコンピュータのメモリへの書き込み(送信)動作が行われる。

【0075】以上の送信に関するトランザクション・レイヤ回路120の動作の概略を図3に示す。

【0076】次に、受信動作、すなわち、ホストコンピュータからターゲットにデータを転送するときであって、ストレージデバイス(ハードディスク)がホストコンピュータのメモリのデータを読み出す動作を行う場合について説明する。

【0077】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0078】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路120が起動される。また、ローカルプロセッサ40からは、CPUインタフェース102を通してCR107に対して、応答パケットの最大データ長を計算するための最大データ長を指定するための4ビットの最大長データ(max-payload)、プラ

イオリティpri、トランザクションラベルtl、1394シリアルバスの転送レートspd(0:s100, 1:s200)、デスティネーションID(des ID)、転送データ長xfer length、デスティネーションオフセットdes offset[47:0]、さらにはdビットがセットされる。これらのデータは、要求パケット生成回路122に供給される。

【0079】また、この初期化と並行して、ローカルプロセッサ40からは、要求パケットで指定される応答パケットに含まれる最大データ長を計算するための最大データ長を指定するための4ビットの最大長データ(max-payload)がCPUインタフェース102を通してCR107にセットされる。この最大長データは、トランザクション・レイヤ回路120の要求パケット生成回路122に供給される。

【0080】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、SBP-2規格に従って、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスが算出され、パケット毎に増加する1394バスアドレスとトランザクションラベルtl(=a)やトランザクションコードtcode(たとえば1または5)等が設定され、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド(Block readRequest Command)がパケット化されて要求用FIFO124に格納される。

【0081】要求用FIFO124に格納された読み出し要求コマンドパケットは、トランザクションコントローラ126によりリンク・レイヤ回路100のリンクコア101に送られる。そして、リンクコア101によって、フィジカル・レイヤ回路20を介して1394シリアルバスBSに対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、読み出し要求パケット(Read Request Packet)がフィジカル・レイヤ回路20、1394シリアルバスBSを介してホストコンピュータに送信される。

【0082】送信後、ホストコンピュータから読み出し要求パケットに対するAckコードと、指定されたデータ長分のデータを含んだ読み出し応答パケット(Read Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0083】分別回路105では、受信パケットのトランザクションコードtcodeおよびトランザクションラベルtlのチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0084】トランザクションコントローラ126では、分別回路105からの応答パケットが応答用FIFO125に格納される。応答用FIFO125に格納されたデータは、応答パケットデコード回路123によって読み出され、1394ヘッダが取り除かれて、所定のタイミングでトランスポートデータインタフェース回路121を介してHDDコントローラ30に出力される。以上の動作が繰り返されて、コンピュータデータのストレージデバイス（ハードディスク）への書き込み（受信）動作が行われる。

【0085】以上の受信に関するトランザクション・レイヤ回路129の動作の概略を図4に示す。

【0086】以上説明したように、本第1の実施形態によれば、ストレージデバイスが接続され、ストレージデバイスのデータを読み出し、自己指定のトランザクションラベルを付加して送信アシンクロナスパケットとしてシリアルインタフェースバスBSに送出し、他ノードのデータを当該ストレージデバイスへ転送する場合に、自己指定のラベルを付加した要求パケットを生成してシリアルインタフェースバスBSに送出し、他ノードからのこの要求パケットに対する応答パケットを受信し、応答パケットからデータ部を取り出してストレージデバイスへ転送するデータ処理回路としてのトランザクション・レイヤ回路120を設けたので、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータをSBP-2規格に合わせてIEEEE1394パケットにして送受信することができ、IEEEE1394シリアルバスインタフェースのアシンクロナスパケットを用いて大容量のデータ転送を実現することができる。そして、SBP-2規格に基づいたORBのフェッチ、データ転送、イニシエータへのステータス送信といったシーケンスを簡略化でき、ディスクドライバ、テープストリーマ等のコンピュータ周辺機器のデータをIEEEE1394シリアルバスに接続する際に最適な設計が可能となる。

【0087】また、リンク・レイヤ回路100のCR107からデータ転送起動の指示を受けると、送信（書き込み）の場合、SBP-2規格に従ってトランスポートデータインタフェース回路121を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように1個以上のデータに分け、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスを算出し、パケット毎に増加する1394バスアドレスとトランザクションラベルt1 (= a) やトランザクションコードtcode (たとえば1または5) 等を設定した4クラドレットからなる1394ヘッダを付加して要求用FIFO124に格納し、受信（読み出し）の場合には、SBP-2規格に従って、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスを算出

し、パケット毎に増加する1394バスアドレスとトランザクションラベルt1 (= a) やトランザクションコードtcode等を設定し、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド1個以上のパケットにして要求用FIFO124に格納する要求パケット生成回路122を設けたので、自ノードから他ノード内のアドレス空間へデータを転送する場合、または他ノード内のアドレス空間から自ノードへデータを転送する場合に、必要なパケットの生成を行うことができる。

【0088】さらに、トランザクション・レイヤ回路120に要求用FIFO124および応答用FIFO125を設けるとともに、リンク・レイヤ回路100に送信用FIFO103および受信用FIFO104を設けたので、要求用FIFO124および応答用FIFO125によるデータのやりとりと並列して、データ以外の通常の1394パケットの送受信を行うことができる。

【0089】また、リンクコア101を介したアシンクロナス通信用パケットの第1クワドレットにあるトランザクションコードtcode (Transaction code) およびトランザクションラベルt1 (Transaction label) をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路120に入力させ、その他のパケットを受信用FIFO104に格納する分別回路105を設けたので、たとえばトランザクション・レイヤ回路120側で致命的なエラーがおきてデータの読み出し／書き込み動作が止まってしまったとしても、データの次の入力されてくるコマンドの読み出しができることがなく、データの読み出し／書き込みの状況にかかわらずコマンドの受信を円滑に行うことができる利点がある。

【0090】

【発明の効果】以上説明したように、本発明によれば、自ノードから他ノード内のアドレス空間へデータを転送する場合、または他ノード内のアドレス空間から自ノードへデータを転送する場合に、必要なパケットの生成を行うことができる。その結果、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理を行うことができる。

【図面の簡単な説明】

【図1】本発明に係るIEEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。

【図2】本発明に係る要求パケット生成回路の構成例を示すブロック図である。

【図3】本発明に係るトランザクション・レイヤ回路における送信動作の概略を示す図である。

【図4】本発明に係るトランザクション・レイヤ回路における受信動作の概略を示す図である。

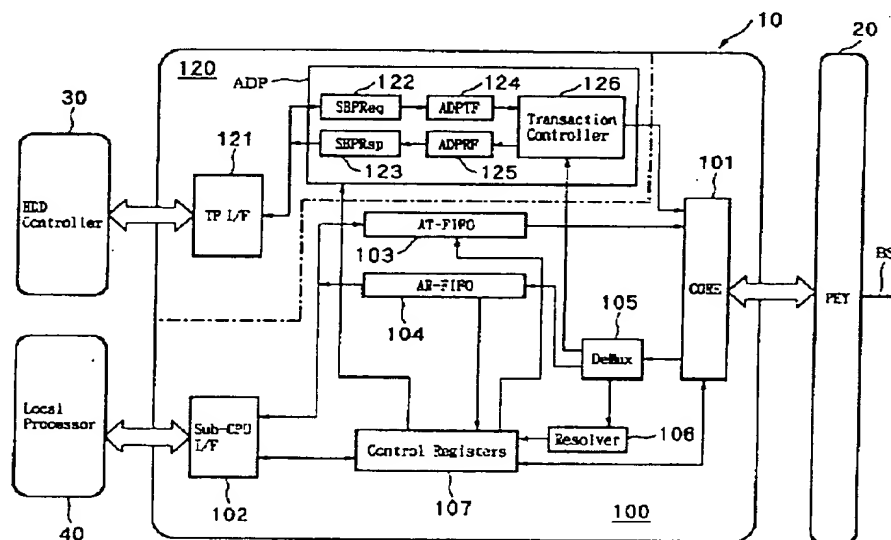
【図5】IEEE1394規格のアシクロナス転送を説明するための図である。

【符号の説明】

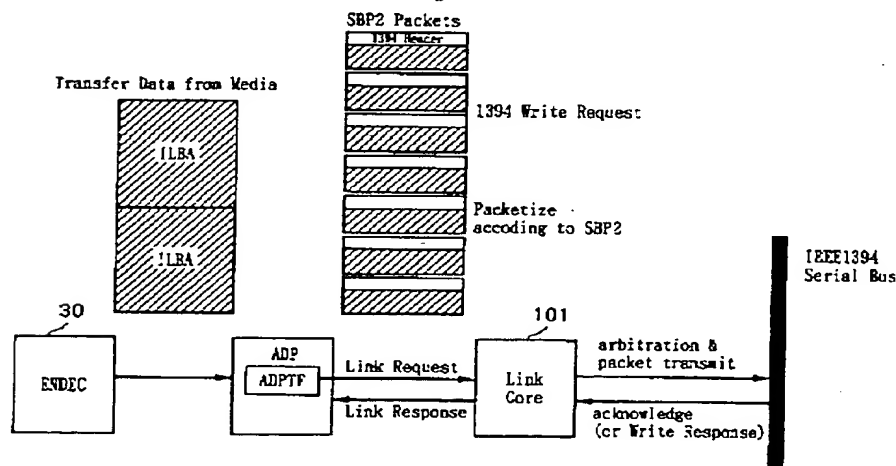
10…リンク/トランザクションレイヤ集積回路、20…フィジカル・レイヤ回路、30…HDDコントローラ、40…ローカルプロセッサ、100、100a…リンク・レイヤ回路、101…リンクコア、102…CPUインタフェース回路、103…アシクロナス送信用FIFO、104…アシクロナス受信用FIFO、105、105a…分別回路、106…リゾルバ、107…コントロールレジスタ、120…トランザクション・レイヤ回路、121…トランスポートデータインタフェ

ース回路、121…要求パケット生成回路、123…応答パケットデコード回路、124…要求用FIFO、125…応答用FIFO、126…トランザクションコントローラ、1221…最大データ長算出回路、1222…トランザクションコード(tc code)生成回路、1223、1224…比較回路、1225…転送データ長(dlength)生成回路、1226…加算器、1227…減算器、1228…データ長レジスタ(sbpdl、1229…アドレスレジスタ(sbpadd)、1230…1394ヘッダの第1クワドレット用レジスタ、1231…1394ヘッダの第2クワドレット用レジスタ、1232…1394ヘッダの第3クワドレット用レジスタ、1233…1394ヘッダの第4クワドレット用レジスタ、1234…コントローラ。

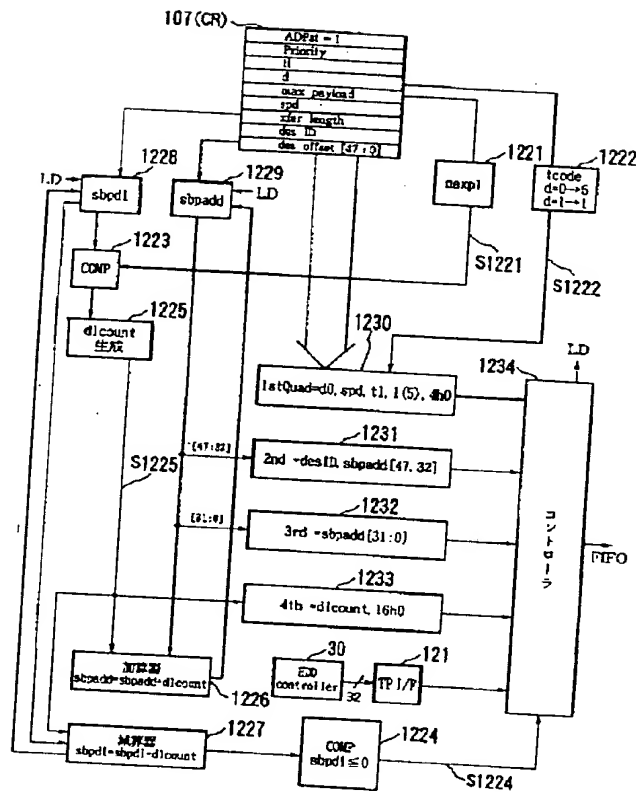
【図1】



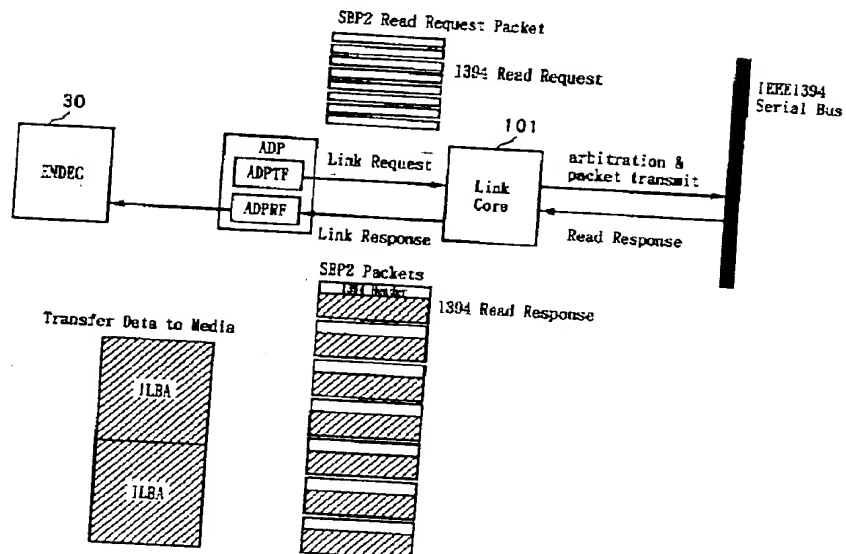
【図3】



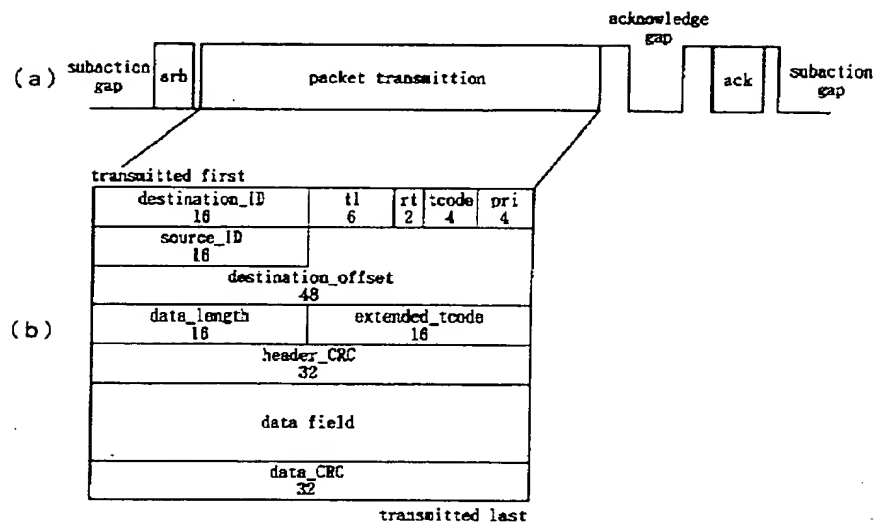
【 図 2 】



【 図 4 】



【 図 5 】



**THIS PAGE BLANK (USPTO)**